

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-068961

(43)Date of publication of application : 15.03.1989

(51)Int.Cl.

H01L 27/04

(21)Application number : 62-225671

(71)Applicant : RICOH CO LTD

(22)Date of filing : 09.09.1987

(72)Inventor : YOSHII KOJI

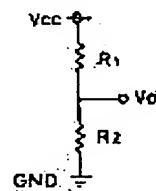
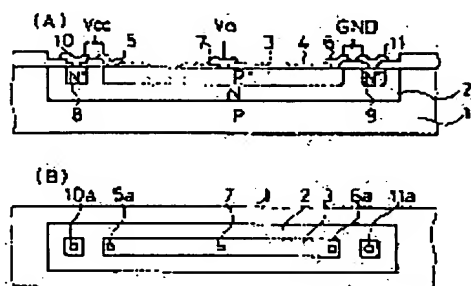
(54) RESISTANCE ELEMENT FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To form the resistance value exactly same as the designed value by a method wherein a plurality of contacts having different potential are provided on the opposite conductivity type diffusion layer located adjacent to the diffusion layer which becomes the resistor of a silicon substrate, and the potential gradient corresponding to the potential gradient of the diffusion layer which becomes a resistor is formed.

CONSTITUTION: An N+ type diffusion region 8 to be used for a contact is formed on one end of the well 2 contacting to the diffusion layer 3 which becomes a resistor, and an N+ type diffusion region 9 to be used for a contact is formed on the other end of the well 2.

Contact holes 10a and 11a are provided on the insulating oxide film 4 covering the upper part of the N-well 2 at the positions of the N+ type diffusion regions 8 and 9, and metal layers 10 and 11 are formed. The metal layer 10 is connected to a power source Vcc, and the metal layer 11 is connected to the ground. Then, the potential difference between the diffusion layer 3 and the well 2 becomes uniform at each part. Also, resistance values R1 and R2 become equal as designed respectively when the pattern between contacts 5 and 7 and the pattern between contacts 6 and 7 are equal. As a result, the target voltage $V_{cc}/2$ as an output voltage V_o can be obtained in a highly precise manner.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭64-68961

⑫ Int. Cl.⁴
H 01 L 27/04

識別記号 庁内整理番号
R-7514-5F

⑬ 公開 昭和64年(1989)3月15日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路装置の抵抗素子

⑮ 特 願 昭62-225671

⑯ 出 願 昭62(1987)9月9日

⑰ 発 明 者 吉 井 宏 治 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑲ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

半導体集積回路装置の抵抗素子

2. 特許請求の範囲

(1) シリコン基板の抵抗体となる拡散層に隣接するこの拡散層と反対導電型の拡散層に電位の異なる複数のコンタクトを設け、抵抗体となる前記拡散層の電位勾配と対応した電位勾配を形成した半導体集積回路装置の抵抗素子。

3. 発明の詳細な説明

(技術分野)

本発明は半導体集積回路装置においてA/Dコンバータ、D/Aコンバータ、基準電圧回路など抵抗比を利用したアナログ回路に使用される抵抗素子に関し、特に単結晶シリコン基板の拡散層を利用した単結晶シリコン抵抗素子に関するものである。

(従来技術)

第2図に単結晶シリコン抵抗素子の一例を示す。この抵抗素子はNウェル型CMOSプロセスによ

り形成される基準電圧回路の例である。

1はP型シリコン基板、2はN型ウェル、3はP⁺型拡散層であり、拡散層3が抵抗体となる。拡散層3の一端にはコンタクトが設けられて高電圧V_{cc}が印加され、他端にもコンタクトが設けられてグランド(GND)に接続される。拡散層3の間には出力V_oとしてV_{cc}/2を取り出すための中間コンタクトが設けられている。

拡散層3と隣接したタブとなるウェル2にはコンタクトが設けられ、電源V_{cc}に接続されている。

第2図の抵抗素子の等価回路を示すと第3図のようになる。第2図ではタブとなる領域2の電位が電源電位V_{cc}で固定されているが、この電位をグランド電位にしたり、又は抵抗体領域3の一部分と同電位になるように固定される。

第2図のような抵抗素子では、抵抗体領域3の電位が一端のコンタクトのV_{cc}から他端のコンタクトのグランドまで変化しているのに対して、タブとなる領域2の電位は一定である。そのため、抵抗体領域3とタブ2との電位差が接合部位によ

て一様ではなく、そのため抵抗体領域3の部位によって空乏層幅が変化している。その結果、見掛け上抵抗体領域3の抵抗率が一様ではないという問題が生じる。そして、仮に第3図に示される等価回路で中間の出力電位 V_o を $V_{cc}/2$ に設計したとしても、出来上がった抵抗素子の出力電位 V_o は設計値に対して誤差を生じる。

(目的)

本発明は単結晶シリコン抵抗素子において、抵抗値の端子電圧依存性をなくし、高精度のアナログ回路を実現することのできる抵抗素子を提供することを目的とするものである。

(構成)

本発明では、シリコン基板の抵抗体となる拡散層に隣接するこの拡散層と反対導電型の拡散層に電位の異なる複数のコンタクトを設け、抵抗体となる前記拡散層の電位勾配に対応した電位勾配を形成した。

以下、実施例について具体的に説明する。

第1図は本発明を基準電圧回路に適用した一実

施例を表わす。第1図は本発明を基準電圧回路に適用した一実

施例を表わす。第1図におけるウエル2に代えてN型エピタキシャル層12を用いる。抵抗体となるP⁺型拡散層3としては例えばベース拡散層を使用する。この場合もタブとなるエピタキシャル層12の両端にはコンタクト用拡散領域8、9を設け、エピタキシャル層12にも拡散層3と対応した電位勾配を設けるために一端の拡散領域8を電源 V_{cc} に接続し、他端の拡散領域9をグラウンドに接続する。なお、13、14は素子分離用のP⁺型拡散領域である。

第1図の実施例では抵抗体となる拡散層3が連続した形状であるが、第4図に示されるように拡散層3を2つの部分3a、3bに切り離し、その間をコンタクトにより接続するようにしてもよい。

第5図にバイポーラプロセスにより形成した実

施例を表わす。Nウエル型CMOSプロセスにより形成した例を表わしている。同図(A)は断面図、同図(B)は平面図である。本実施例の等価回路も第3図に示されるものである。

第2図と同様にP型シリコン基板1に形成されたN型ウエル2に形成されたP⁺型拡散層3が抵抗体となる。拡散層3の上部の絶縁酸化膜4には拡散層3の両端部と中間にコンタクトホール5a、6a、7aが設けられ、それらにメタル層5、6、7が形成されている。一端のメタル層5からは電源 V_{cc} が供給され、他端のメタル層6はグラウンドに接続される。中間のメタル6からは出力電圧 V_o が取り出される。

抵抗体となる拡散層3に接するウエル2には一端にコンタクト用N⁺型拡散領域8が形成され、他端にもコンタクト用N⁺型拡散領域9が形成されている。Nウエル2の上部を被う絶縁酸化膜4にはN⁺型拡散領域8、9の位置にコンタクトホール10a、11aが設けられ、メタル層10、11が形成されている。メタル層10は電源 V_{cc} に

施例を表わす。

第1図におけるウエル2に代えてN型エピタキシャル層12を用いる。抵抗体となるP⁺型拡散層3としては例えばベース拡散層を使用する。この場合もタブとなるエピタキシャル層12の両端にはコンタクト用拡散領域8、9を設け、エピタキシャル層12にも拡散層3と対応した電位勾配を設けるために一端の拡散領域8を電源 V_{cc} に接続し、他端の拡散領域9をグラウンドに接続する。なお、13、14は素子分離用のP⁺型拡散領域である。

本発明は抵抗素子を構成できるものであれば、どのようなプロセスで形成された抵抗素子にも適用することができる。

以上の実施例は2個の抵抗部分の抵抗比を利用した回路について適用した例であるが、3以上の抵抗比を利用する場合も同様である。

第6図はA/Dコンバータを表わしたものである。15は複数の抵抗が直列に接続された基準電圧部であり、この基準電圧部15の一端が電源

特開昭64-68961(3)

Vccに接続され、他端がグラウンドに接続されている。基準電圧部15の直列抵抗回路のそれぞれの接続点はコンパレータ16、16……の一方の入力端子に接続され、コンパレータ16、16……の他方の入力端子には共通にアナログ入力信号が入力されるようになっている。コンパレータ16、16……の出力端子はデコーダ17に接続され、デコーダ17からはデジタル出力が取り出される。

本発明の抵抗素子は基準電圧部15の直列抵抗回路にも用いることができる。

(効果)

本発明では、シリコン基板の抵抗体となる拡散層に隣接するこの拡散層と反対導電型の拡散層に電位の異なる複数のコンタクトを設け、抵抗体となる前記拡散層の電位勾配と対応した電位勾配を形成したので、抵抗素子の端子電圧依存性をなくすことができ、設計値通りの抵抗値を得ることができる。

4. 図面の簡単な説明

第1図(A)は一実施例を示す断面図、同図

(B)は同実施例の平面図であり、同図(B)ではメタル層の図示を省略してある。第2図は従来の抵抗素子を示す断面図、第3図は第1図及び第2図の等価回路を示す回路図、第4図は他の実施例を示す断面図、第5図はさらに他の実施例を示す断面図、第6図は本発明が適用される一例としてのA/Dコンバータを示す回路図である。

- 1……P型シリコン基板、
- 2……N型ウエル、
- 3……P⁺型拡散層、
- 8, 9……コンタクト用拡散領域、

代理人 井理士 野口繁雄

